

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-098152
(43)Date of publication of application : 08.04.1997

(51)Int.Cl. H04J 13/00
H03L 7/08

(21)Application number : 08-122172 (71)Applicant : LEXMARK INTERNATL INC
(22)Date of filing : 19.04.1996 (72)Inventor : HARDIN KEITH B

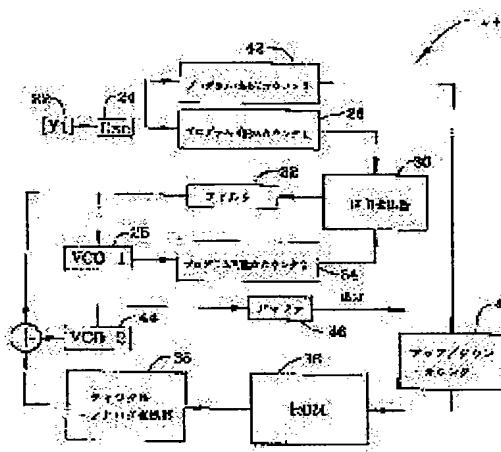
(30)Priority
Priority number : 95 425832 Priority date : 20.04.1995 Priority country : US

(54) SPREAD SPECTRUM CLOCK GENERATOR

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the peak of a spectrum by modulating a clock pulse train based on a reference frequency clock with a setting frequency so as to obtain a spread spectrum clock thereby spreading the shape of an electromagnetic interference (EMI) component into a flat shape.

SOLUTION: A reference clock with a reference frequency is generated by a piezoelectric crystal (Y1) 22 and an oscillator circuit 24, the reference clock is divided by an integer M with a programmable counter 26 and a clock whose frequency is N/M is generated synchronously with the reference clock from a circuit equivalent to a PLL consisting of a phase detection section 30, a filter 32 and a VCO (1) 28 where an output of the VCO 28 is divided by an integer N. The clock is modulated by a frequency signal from a ROM 36 accessed via an up-down counter 40 in response to a set number by a programmable counter 42. Then a clock string whose EMI component spectrum is spread and whose peak is reduced in response to harmonics from a VCO (2) 44 is simply generated without the use of a shield.



LEGAL STATUS

[Date of request for examination] 15.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-98152

(43) 公開日 平成9年(1997)4月8日

(51) Int. C1. 6	識別記号	序内整理番号	F I	技術表示箇所
H 04 J 13/00			H 04 J 13/00	A
H 03 L 7/08			H 03 L 7/08	Z

審査請求 未請求 請求項の数 9 F D

(全10頁)

(21) 出願番号 特願平8-122172

(71) 出願人 591194034

レックスマーク・インターナショナル・イ

ンコーポレーテッド

LEXMARK INTERNATIONAL

AL, INC

アメリカ合衆国 40511 ケンタッキー、

レキシントン、ノース・ウェスト、ニュー

・サークル・ロード 740

(72) 発明者 キース・ブライアン・ハーディン

アメリカ合衆国 40515 ケンタッキー、

レキシントン、シャディ・オーク・プレイ

ス 2404

(74) 代理人 弁理士 大橋 邦彦

(22) 出願日 平成8年(1996)4月19日

(31) 優先権主張番号 08/425,832

AL, INC

(32) 優先日 1995年4月20日

アメリカ合衆国 40511 ケンタッキー、

(33) 優先権主張国 米国 (U S)

レキシントン、ノース・ウェスト、ニュー

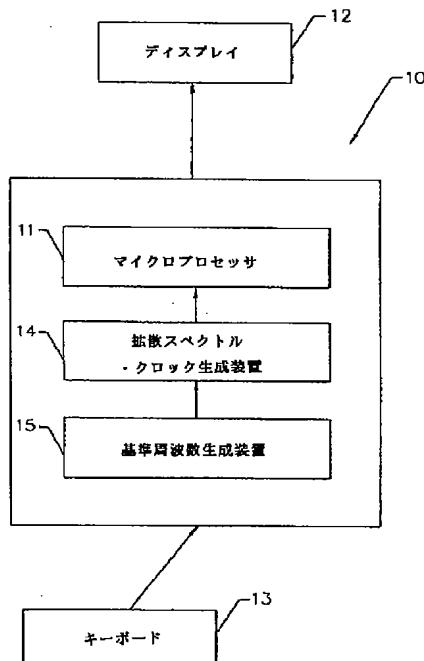
・サークル・ロード 740

(54) 【発明の名称】拡散スペクトル・クロック生成装置

(57) 【要約】 (修正有)

【課題】 比較的高い周波数のクロック信号を生成し、同時に、比較的大きな帯域幅にわたって測定されるEMI成分のスペクトル振幅を減少させるクロック回路を提供する。

【解決手段】 クロック回路は、基準周波数信号を生成する発振器15と、発振器15と協働して、基本周波数と基本周波数の調波での低減された振幅EMIスペクトル成分とを有する拡散スペクトル・クロック出力信号を生成する拡散スペクトル・クロック生成装置14とを含む。拡散スペクトル・クロック生成装置14は好ましくは、一連のクロック・パルスを生成するクロック・パルス生成装置と、クロック・パルス生成装置を周波数変調して、普通ならクロック・パルス生成装置によって生成されるEMIスペクトル成分の振幅を広げて平坦化する拡散スペクトル変調器とを含む。拡散スペクトル変調器は、特定の周波数偏差プロファイル対プロファイルの周期によってクロック・パルスを周波数変調する。



【特許請求の範囲】

【請求項 1】 クロック制御式電子装置であって、拡散スペクトル・クロック信号を前記装置に提供し、かつ基準周波数クロックを備えるクロックと、ディジタル値が記憶されるテーブルと、カウンタ自体のそれぞれの異なるカウントで前記テーブルにアドレスするカウンタと、制御入力を有する電圧制御式発振器と、前記カウンタのカウントの各変化ごとにアドレスされる前記記憶されているディジタル値を受信し、前記受信したディジタル値を前記電圧制御式発振器の前記入力への制御信号に変換する手段とを備え、前記電圧制御式発振器の出力が、前記拡散スペクトル信号を前記装置に提供するクロック制御式電子装置。

【請求項 2】 リセット信号を受信して前記拡散スペクトル・クロック信号を前記リセット信号に同期させるために前記カウンタへのリセット入力も備えることを特徴とする請求項 1 に記載のクロック制御式装置。

【請求項 3】 フェーズ・ロック・ループと、前記基準周波数クロックから信号を受信し、前記フェーズ・ロック・ループに制御入力を提供する第 2 のカウンタと、前記フェーズ・ロック・ループからの信号と前記変換済み信号とを組み合わせ、前記組合せ信号を前記制御信号として前記電圧制御式発振器に提供する手段も備えることを特徴とする請求項 1 に記載のクロック制御式装置。

【請求項 4】 クロック制御式電子装置であって、拡散スペクトル・クロック信号を前記装置に提供し、かつ基準周波数クロックを備えるクロックと、ディジタル値が記憶されるテーブルと、前記第 1 のカウンタのそれぞれの異なるカウントによって決定される前記テーブルのそれぞれの異なる部分にアドレスする第 1 のカウンタと、前記第 1 のカウンタのカウントの各変化ごとにアドレスされる前記記憶されているディジタル値を受信する第 2 のカウンタと、前記基準周波数クロックのクロック信号に応答して、前記第 2 のカウンタが前記各ディジタル値を受信した後に前記第 2 のカウンタをステップする手段と、2 つの入力の位相差に応答して、前記位相検出器の前記 2 つの入力の位相差を表す出力を生成する位相検出器と、前記第 2 のカウンタが所定の値に達したことに応答して、前記第 1 のカウントをステップする制御信号を提供し、前記位相検出器に 1 つの入力を提供する手段と、前記位相検出器の前記出力を受信する入力とフェーズ・ロック・ループを形成するために前記位相検出器の第 2 の入力に接続された出力とを有する電圧制御式発振器とを備え、前記フェーズ・ロック・ループの出力が、前記拡散スペクトル・クロック信号を前記装置に提供することを特徴とするクロック制御式電子装置。

【請求項 5】 リセット信号を受信して前記スペクトル・クロック信号を前記リセット信号に同期させるために前記第 1 のカウンタおよび前記第 2 のカウンタへのリセット入力も備えることを特徴とする請求項 4 に記載のク

ロック制御式装置。

【請求項 6】 前記第 2 のカウンタが、前記基準周波数クロック信号を受信し、前記位相検出器の前記 1 つの入力が、前記第 2 のカウンタが所定の値に達したことによって提供されるように接続されることを特徴とする請求項 5 に記載のクロック制御式装置。

【請求項 7】 前記第 2 のカウンタが、前記電圧制御式発振器の前記出力と前記位相検出器の前記第 2 の入力との間に接続され、前記基準周波数クロック信号が、前記位相検出器の前記 1 つの入力を提供するように接続されることを特徴とする請求項 5 に記載のクロック制御式装置。

【請求項 8】 前記第 2 のカウンタが前記基準周波数クロック信号を受信し、前記位相検出器の前記 1 つの入力が、前記第 2 のカウンタが所定の値に達したことによって提供されるように接続されることを特徴とする請求項 4 に記載のクロック制御式装置。

【請求項 9】 前記第 2 のカウンタが、前記電圧制御式発振器の前記出力と前記位相検出器の前記第 2 の入力との間に接続され、前記基準周波数クロック信号が、前記位相検出器の前記 1 つの入力を提供するように接続されることを特徴とする請求項 4 に記載のクロック制御式装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ディジタル回路の分野に関し、詳細には、低減された測定可能な電磁妨害 (EMI) 放出を有するクロック回路に関する。尚、本出願は、1993年11月29日に出願され本出願人に譲渡された米国特許出願第 08/160,077 号の一部継続出願に基づく。米国特許出願第 08/160,077 号は、引用によって本明細書に完全に編入されている。

【0002】

【従来の技術】 多数の電子装置は、マイクロプロセッサ、あるいは、同期のために 1 つまたは複数のクロック信号を必要とするその他のディジタル回路を使用する。クロック信号によってたとえば、マイクロプロセッサ中の事象の厳密なタイミングが可能になる。通常のマイクロプロセッサは、結晶によって駆動される発振器などの自走発振器、LC 調整回路、外部クロック源によって監視し、あるいは同期させることができる。パーソナル・コンピュータでは 40 MHz 以上のクロッキング速度が一般的である。クロック信号のパラメータは通常、マイクロプロセッサ用に指定され、最小許容クロック周波数および最大許容クロック周波数、高電圧準位および低電圧準位に関する公差、波形エッジ上の最大立上り時間および最大立下り時間、波形が方形波でない場合のパルス幅公差、2 クロック位相信号が必要な場合のクロック位相間のタイミング関係を含むことができる ("Electron

ics Engineer's Handbook", Fink et al., 8ページないし111ページ, 1989年)。

【0003】残念なことに、立上り高速回路を使用するマイクロプロセッサ・ベースの装置は特に、電磁妨害(EMI)の生成および放射の影響を受けやすい。EMI放出のスペクトル成分は通常、クロック回路の基本周波数の調波でのピーク振幅を有する。したがって、米国のFCCなど多数の規制機関は、そのような製品に関する試験手順および最大許容放出量を規定している。たとえば、Commission Electrotechnique International (Comite International Special Des Perturbations Radioelectriques (C.I.S.P.R.)は、規制を遵守しているかどうかを判定する測定装置および技法を確立する指針を有する。具体的には、クロック回路に関連する周波数帯域では、測定される6dB帯域幅は比較的広い120KHzである。

【0004】EMI放出に関する政府のそのような制限を遵守するには、コストのかかる抑制措置または広範囲のシールディングが必要である。EMIを低減させる他の手法には、プリント回路ボード上の信号トレースを慎重にルーチニングしてループおよびその他の潜在的な放射構造を最小限に抑えることが含まれる。残念なことに、そのような手法では多くの場合、内部接地平面を有するより高価な多層回路ボードが与えられる。また、EMI放出を低減させるにはより多くの工学的な作業を行わなければならない。EMI放出によってもたらされる問題は、プロセッサ速度およびクロック速度が高いほど大きくなる。

【0005】ある種の応用例では、あるクロックの周期を他のクロックの周期に厳密に同期させる必要がある。したがって、クロック信号の変調を厳密に制御することが重要になることがある。本発明では、デジタル拡散スペクトル変調回路を使用することが好ましい。このような回路は、回路を制御するカウンタをリセットすることによって同期させている。電圧制御式発振器を使用するがデジタル制御は使用しない拡散スペクトル・クロック実施態様が米国特許第4,507,796号で開示されている。拡散スペクトル・クロック制御用のものではないある程度類似のデジタル制御回路が、米国特許第3,764,933号、米国特許第3,962,653号、米国特許第4,943,786号、米国特許第5,028,887号で開示されている。ある程度類似のデジタルFM通信回路が、米国特許第5,272,454号、米国特許第5,301,367号、米国特許第5,329,253号で開示されている。

【0006】前述の特許出願の19ページ21行の始めに記載されているが、図面には図示されていないデジタル実施態様は現在、本出願の出願日に対する従来技術である。この実施態様は、加算器に適用され累算されるデジタル的に記憶されるデータを有する。アキュムレ

ータの出力は、フェーズ・ロック・ループの位相検出器への一方の入力であり、他方の入力は、フェーズ・ロック・ループの電圧制御発振器の出力の分割フィードバックである。この発振器の出力は分割され、拡散スペクトル・クロック信号として使用される。本発明の開示した実施例は、加算器もアキュムレータも使用しない。

【0007】

【発明が解決しようとする課題】前述の背景に鑑み、したがって、本発明の目的は、マイクロプロセッサまたは他のデジタル回路を比較的高い周波数で駆動することなどのためにクロック信号を生成し、同時に、比較的大きな帯域幅にわたって測定されるEMI成分のスペクトル振幅を減少させるクロック回路および関連する方法を提供することである。

【0008】

【課題を解決するための手段】本発明のこのおよびその他の目的、特徴、利点は、基準周波数信号を生成する発振器と、基本周波数または中心周波数と基本周波数の調波での低減された振幅EMIスペクトル成分とを有する拡散スペクトル・クロック出力信号を生成する拡散スペクトル・クロック生成手段とを含むクロック回路によって提供される。具体的には、拡散スペクトル・クロック生成手段は好ましくは、一連のクロック・パルスを生成するクロック・パルス生成手段と、クロック・パルス生成手段を変調して、普通ならクロック・パルス生成手段によって生成されるEMIスペクトル成分の振幅を広げて平坦化する拡散スペクトル変調手段とを含む。そのような変調の開始点は、同期を迅速化するように厳密に制御することができる。

【0009】クロック・パルス生成手段を変調しない場合、通常、ほぼ長方形または台形の電気パルスが生成され、それによって、基本周波数の調波において対応するインパルス状EMIスペクトル成分が生成される。拡散スペクトル変調手段は、普通なら生成されるEMIスペクトル成分のピーク振幅を低減させる。したがって、本発明の拡散スペクトル・クロック生成回路を含む電子装置では、高価なシールディングまたはEMI抑制技法を低減し、あるいはなくすことができる。当業者には容易に理解されるように、拡散スペクトル・クロック生成回路は、いくつかの電子装置、特に、パーソナル・コンピュータなどのマイクロプロセッサやマイクロコントローラを含む電子装置に広く適用することができる。

【0010】拡散スペクトル変調手段は好ましくは、クロック・パルス生成手段を周波数変調する周波数変調手段を含む。周波数変調手段は好ましくは、所定の周期と、所定の周期の関数としての所定の周波数偏差プロファイルとを有する周期波形によってクロック・パルス生成手段、周波数変調するプロファイル変調手段を含む。そのような変調周期波形に関するいくつかの好ましい範囲または有効範囲については後で説明する。一般に、好

ましい波形は単純正弦波よりも複雑であり、そのため、EMI成分の形状を広げて平坦化することによってEMI成分のスペクトル・ピークが低減される。

【0011】クロック・パルス生成手段は好ましくは、従来型のクロック生成回路で一般に使用されているフェーズ・ロック・ループを含む。周波数変調手段は、周波数偏差用の所定のプロファイルを生成することができるプログラム可能な変調生成装置によって実施することができる。周波数変調手段は、周期が約500マイクロ秒よりも短い周期波形によってクロック・パルス生成手段を変調することができる。すなわち、変調の周波数は望ましくは約2KHzよりも大きい。

【0012】

【発明の実施の形態】次に、本発明を下記に、本発明の好ましい実施例が示された添付の図面に関してさらに詳しく説明する。しかし、本発明は、多数の異なる様で実施することができ、本明細書に記載した実施例を制限するものとみなすものではない。出願人はむしろ、この開示が完全なものになり、当業者に本発明の範囲を完全に伝えるようにこれらの実施例を提供する。同じ番号は全体を通して同じ要素を表す。

【0013】まず図1ないし5を参照してまず、拡散スペクトル・クロック生成回路を備える電子装置とその基本動作について説明する。図1に示したように、電子装置、たとえば概略的に示したパソコン・コンピュータ10は、本発明による拡散スペクトル・クロック生成装置14 (SSCG) によって提供される低減された測定可能なEMIスペクトル成分放出を有することによって利益を得ることができる。基準周波数生成装置15、たとえば適当な駆動装置または発振器回路によって共振周波数で駆動される圧電結晶は、SSCG14用の基準周波数を提供する。図のパソコン・コンピュータ10は、ディスプレイ12とキーボード13も含む。

【0014】当業者には容易に理解されるように、マイクロプロセッサ、または同期用のクロック信号を必要とする他のデジタル回路を備えるいくつかの電子装置は望ましくは、SSCG14を備える。たとえば、コンピュータ・プリンタも望ましくはSSCG14を含む。

【0015】SSCG14は、一連の台形またはほぼ長方形の電気クロック・パルスを含む通常のクロック信号を周波数変調することによって拡散スペクトル出力クロック信号を生成する。この変調によって、変調を行わない同じクロッキング信号のスペクトルと比べて、クロックの各調波でのEMI成分のスペクトル振幅が低減される。図2は、調波でのスペクトル振幅対周波数(NF)がプロットMで示された、この効果の概略図である。やはり図のように、標準クロック信号の同じ調波でのスペクトルは、インパルス関数Iとして与えられる。同じ調波でのSSCG出力クロック信号のスペクトルは理想的には、プロットTで示したように台形となる。

【0016】一般に、調波での拡散スペクトル出力クロック信号のスペクトル「幅」は標準非変調クロック信号の幅よりも大きいが、調波の最大振幅はより小さい。実際の実施態様では、拡散スペクトル変調調波の振幅は一様ではないが、プロットMで示したように中心周波数付近および縁部である種のピークを示す。

【0017】すべての周波数に関する信号の振幅を最小限に抑えるには、標準クロック信号の変調を固有に指定しなければならない。したがって、SSCG14は、所定の周期と所定の周波数の関数としての所定の周波数偏差プロファイルとを有する周期波形によってクロック・パルス生成手段を周波数変調するプロファイル変調手段を含む。本明細書で説明する変調プロファイルは、比較的最適化された平坦なスペクトル振幅を各調波で生成する。一般に、好ましいプロファイルは単純正弦波よりも複雑であり、そのため、EMI成分の測定可能なスペクトル・ピークが低減される。言い換えると、本発明は、狭帯域調波を、FCCおよびその他の全世界の規制機関のために測定放出量を著しく低減させる広帯域信号に変換する。このような放出量低減によって、EMI放出を抑制または遮蔽する従来型の手段のコストと比べて、1製品当たり約20ドル以上の対応するコスト削減が可能になる。

【0018】図3は、SSCG14内で使用できる周波数偏差対時間の通常のプロファイルを示す。図の最大偏差は100KHzである。この最大周波数偏差は望ましくは直列リンクを介してプログラムすることができ、最大偏差の上限は好ましくは、通常の現行の応用例では約250KHzである。しかし、最大偏差は、当業者によって容易に理解されるように、応用例に応じて250KHzよりもずっと大きくなる。やはり当業者によって容易に理解されるように、最大偏差を零にプログラムすることによって標準非変調クロック信号を得ることができる。

【0019】図3に示したプロファイルを変調する信号の周波数は30KHzである。周波数が約2KHzよりも高くなり、すなわち、変調波形またはプロファイルの周期が約500マイクロ秒よりも短くなる、顕著なピーク振幅低減を行うことができる。この周波数はまた、望ましくは、応用例に応じて、直列リンクを介してプログラムすることも、あるいは固定することもできる。図の変調プロファイルは、標準的な三角形波とそのcubicとの線形組合せである。このプロファイルの値は、本願の関連出願であって、本出願が一部継続出願となる親出願(米国特許出願第08/160,077号)の表1に与えられている。

【0020】次に、さらに具体的に図4を参照すると、いくつかの好ましい周波数偏差プロファイル範囲が示されている。具体的には、これらのプロファイルは、周波数偏差の割合対周期波形の周期の割合(%周期)として

50

表されている。エンベロープの最外範囲は、第2象限I I、すなわち0%ないし25%の周期中の点線F1、F2によって示されている。後述のように、簡単な対称によって図中の他の象限中の境界が定義される。したがって、当業者は所望の応用例用の範囲を容易に実施しき。

$$100\% \left[-1 + \sqrt{-\left(\frac{\% \text{周期}}{25}\right)^2 + 4\left(\frac{\% \text{周期}}{25}\right) + 973} \right]$$

【0022】下限F2は次式によって定義される。

【数2】

$$50\% \left[\frac{\% \text{周期}}{25} \right]$$

【0023】当業者には容易に理解されるように、他の象限に関する境界は、F1およびF2によって下記のように定義される。

第1象限I (-25%ないし0%の周期)

下限=-F1 (-%周期)

上限=-F2 (-%周期)

第3象限I I I (25%ないし50%の周期)

下限=F2 (50-%周期)

上限=F1 (50-%周期)

第4象限I V (50%ないし75%の周期)

下限=-F1 (%周期-50)

上限=-F2 (%周期-50)

【0024】より好ましいプロファイル範囲は、図4に示した点線によって示される。第2象限では、このプロファイルは上限F3および下限F4によって定義される。上限F3は、次式によって第2象限内に定義される。

【数3】

$$100\% \left[\frac{\% \text{周期}}{25} \right]$$

【0025】下限は、次式によって第2象限I I 内に定義される。

【数4】

$$100\% \left[\frac{\% \text{周期}}{25} \right]$$

【0026】したがって、他の境界は下記の関係によって与えられる。

第1象限I (-25%ないし0%の周期)

下限=-F3 (-%周期)

上限=-F4 (-%周期)

第3象限I I I (25%ないし50%の周期)

下限=F4 (50-%周期)

上限=F3 (50-%周期)

第4象限I V (50%ないし75%の周期)

下限=-F3 (%周期-50)

*一リングすることができる。

【0021】これらの点線は、第2象限I I に関する所定の上限および下限によって数学的に定義することができる。上限F1は次式によって定義される。

【数1】

※上限=-F4 (%周期-50)

10 【0027】図3にも示したように、図4の実線P1は、三角形波形とそのc u b i cとの線形組合せを示す。さらに具体的には、このプロファイルは、次式に等しいF5によって第2象限I I 内に定義される。

$$100\% [0.45 (\% \text{周期}/25) + 0.55 (\% \text{周期}/25)]$$

【0028】したがって、他の象限中の実線は下記のように定義される。

第1象限I (-25%ないし0%の周期)

-F5 (-%周期)

20 第3象限I I I (25%ないし50%の周期)

F5 (50-%周期)

第4象限I V (50%ないし75%の周期)

-F5 (%周期-50)

【0029】図5は、当業者には容易に理解されるようにF1およびF2によって定義された最外プロファイル内に適合するようにスケーリングできる周波数偏差変調に関するプロファイルの他の実施例を示す。

【0030】次に、図6を参照して、SSCG14に関する回路実施例について説明する。このブロック図は、

30 いくつかのフェーズ・ロック・ループ(PLL)周波数シンセサイザ・チップに類似している。ただし、いくつかの実施例ではプログラム可能な変調生成装置を含み、他の実施例ではアナログ変調生成装置を含む変調セクションが追加される。変調は電圧制御式発振器(VCO)または発振器タンク回路へ送られ、所望の変調インデックスが与えられる。

【0031】SSCG14は望ましくは、中心周波数、最大周波数偏差、変調周波数を変更できるようにI2C直列バスまたは選択線を介してプログラムすることができる。単一の+5V電源、最小限の外部回路、結晶によって、制御された立上り時間および立下り時間有するTTL・CMOS互換出力が生成される。また、すべての入力は標準TTLとの互換性を有する。

【0032】下記に与えた電気特性(表A)および切替特性(表B)も望ましくは、従来型デジタル回路またはマイクロプロセッサのクロック入力要件を満たすようにSSCG14の実施例によって満たされる。

【0033】

※

表A 電気特性

特性	記号	最小	通常	最大	単位
負荷容量	CL	—	30	50	pF
静止供給電流	I _{CC}	—	—	45	mA

【0034】

表B 切替特性

特性	記号	最小	通常	最大	単位
出力立上り時間(0.8~2.0V)	t _{TLH, t_{HL}}	1	2	3	n s
立下り時間 (2.0~0.8V)					
最大周波数偏差*	△F _{max}	0	100	250	KHz
変調周波数*	F _{mod}	15	30	50	KHz

*直列リンクを介してプログラム可能である。

【0035】次に、図6を参照すると分かるように、Y_{1 22}は、安定なクロック・パルス列または非変調クロック信号を生成するために発振器回路24と共に使用される圧電結晶である。第1のプログラム可能なカウンタ26は、非変調クロック信号を整数(M)で除する。電圧制御式発振器28(VCO)は、フィルタ32を介して位相検出器30から得られる入力電圧に比例する出力クロック信号を生成する。

【0036】第2のプログラム可能なカウンタ34は、VCO28からの信号を整数(N)で除する。カウンタ26および34は、位相検出器30への2つの入力である。位相検出器30およびフィルタ32はそれぞれ、第1のプログラム可能なカウンタ26と第2のプログラム可能なカウンタ34との間の位相誤差に比例するアナログ信号を生成する。したがって、位相検出器30およびフィルタ32の出力はそれぞれ、図6の実施例と同様に、発振器24の周波数のN/M倍を表す(NおよびMは定数である)。VCO28は、標準フェーズ・ロック・ループ回路の場合と同様に動作する。

【0037】拡散スペクトル変調は、この実施例では、デジタル・アナログ変換器(DAC)38へ送られる変調変動値が記憶されるROM36によって導入される。アップ/ダウン・カウンタ40はROM36の値にインデックス付けするために使用され、これに対して、第3のプログラム可能なカウンタ42は変調周波数を設定する。

【0038】第2の電圧制御式発振器44は、フィルタ32からの一定の出力とDAC38からの入力を加えた入力を受け取る。これは、DAC38からの入力の変化に応じて、VCO44の周波数を変える。VCO44は、バッファ46を介して拡散スペクトル・クロック出力として接続される。

【0039】アップ/ダウン・カウンタ40を設定することによって変調を既知の状態にすることができることは明白である。したがって、カウンタ40をリセットすることによって、VCO44への入力はサイクルの開始用の入力を表し、VCO44は迅速に、対応する周波数を提供するように調整される。

【0040】同期に適した第2の実施態様の回路を図7

40

に示す。要素50は、基準周波数クロックであり、図6の実施例中の要素22および24の組合せと同じでよい。クロック50は、カウントダウン・カウンタ52へのクロック入力として働く。カウンタ52への線54上の第2の入力はリセット入力である。

【0041】カウンタ52は、ROMテーブル・メモリ56から数データを受け取る。このデータは、カウンタ52が零に達し出力線58上で信号を生成するまで、クロック50からの各クロック信号と共に1度だけカウント・ダウンされる。線58上のこの信号は、アップ/ダウン・カウンタ60および位相検出器62への入力信号である。

【0042】カウンタ60の各カウント変化によって異なる出力が生成され、それによって、ROMテーブル3のアドレスが変更され、したがって、そのアドレスでのカウント・データがカウンタ52に適用され、カウンタ52によって再び零へのカウントが開始される。これと別に、カウンタ60は、線54上の信号によってリセットされたときに、他の拡散スペクトル・クロック回路のリセット信号として適切な線64上の信号を生成する。この信号は、図7の信号と同じでよい。

【0043】位相検出器62および図7の残りの要素は標準フェーズ・ロック・ループである。位相検出器62の第2の入力は、線68上の電圧制御式発振器66の出力をカウンタ70による整数で除した値である。位相検出器62は、線58上の信号の立上りとカウンタ70からの信号の立上りとの間の時間に比例する信号を生成する。この出力は、従来どおりフィルタ72によって平滑化される。

【0044】この動作を要約する。基準クロック50は、ROMテーブル56によってロードされたカウンタ52をステップダウンする。したがって、テーブル56からの数は、カウンタ52が零に達して線58上で信号を発行するまでの遅延を定義する。この信号は、位相検出器62への一方の入力であり、これに対して、フェーズ・ロック・ループの出力68から分割されたフィードバックが他方の入力である。

【0045】線58上のカウンタ52からの信号は、カウンタ60をステップアップ/ダウンする。カウンタ6

50

0の次の状況は、ROMテーブル56中の次の位置を選択し、それによって異なる数をカウンタ52に入力する出力を定義する。それに続くクロック・パルスがカウンタ52中の新しいカウントを零に減分すると、線58上で次の信号が発行され、前述の動作が繰り返される。

【0046】周波数の所望の変化が急速なものではなく、フィルタ72がそのような変化の周波数に対応する変化を容易に通過させると仮定すると、ROMテーブル56の内容は、所望の変化に直接対応することができる。内容の非常に簡単な例を挙げると、17から始まり、次に14に変化し、次に10に変化し、次に6に変化し、次に3に変化し、最後に0に変化する。これらは、カウンタ60が0(17にアドレスする)から5(0にアドレスする)まで増加する際にアドレスされる。その後、カウンタ60は、次のカウントで減分し、その結果、次のカウントは4(3にアドレスする)になる。

【0047】ROMテーブル56の内容に対するフェーズ・ロック・ループ62とフェーズ・ロック・ループ72とフェーズ・ロック・ループ66とフェーズ・ロック・ループ70との間の相互作用は、様々な方法で最適化することができる。線58上の入力の周波数が、フィルタ72が通過させる周波数帯域に対して比較的高い場合、出力が個々の変化に厳密に従うことではない。その場合、フィルタ72を介して所望の出力を得るためにROMテーブル56中の数内容はある程度異なるものであつてよい。ただし、ROMテーブル56中の数の変化は引き続き、所望の拡散スペクトル・パターンに対応する。そのような場合、ROMテーブル56中の特定の数として、経験的に経験的に最適な値が決定される。

【0048】同期

ある種の応用例では、ある種の機能がその変動パターンに同期するかぎり、クロック・タイミングを変化させることができる。レーザ・プリンタでは、レーザ光線はクロック時間にパルスされ、あるいはパルスされない時にフォトコンダクタを横切って掃引される。そのようなクロック時間は、各掃引が拡散スペクトル中の同じ点に同期する場合、印刷を著しく劣化させずに拡散スペクトルに存在することができる。電子ビーム掃引または類似の掃引によって生成されるビデオ・ディスプレイの場合も類似の問題が存在する。

【0049】線54上のリセット入力はそのような同期をもたらす。start-of-sweep信号は従来、レーザ・プリントヘッドから得ることができる(従来、H Syncと呼ばれている)。このH Sync信号は54に適用される。この信号は、カウンタ60およびカウンタ52を零にリセットする。これによってただちに、線58上のパルスの周波数が、カウンタ60によって定義された周波数、すなわち零になり、次いで、前述のようにステップする。位相検出器62は、検出器62

自体への他方の入力が異なる位相を表す場合、VCO66の周波数を変化させ始める。カウンタ60をリセットすると、線64上で信号が生成され、この信号は、2つの拡散スペクトル・クロック回路どうしが同期し、かつこれらのクロック回路が線54上の入力にも同期するよう第2の拡散スペクトル・クロック回路をリセットすることができる。

【0050】図8は、カウンタ70をなくした代替実施例である。他の要素は、図7中の対応する要素と同様に番号付けされている。他の違いは、ROMテーブル56の内容にある。基準クロックは、位相検出器62への2つの入力のうちの一方なので、ROMテーブル56の内容はそれに応じて調整しなければならない。実際には、ROMテーブル56の正確な内容は、経験的に最適な内容に決定される。

【0051】当業者には容易に理解されるように、本明細書で説明する、物理パッケージ中の回路の実施態様では、いくつかのそのような拡散スペクトル・クロック生成回路(SSCG)が同じDIP内に存在することができる。必要に応じて、標準フェーズ・ロック・ループ周波数シンセサイザを同じDIP内に配置して、標準クロック信号を提供することもできる。SSCGの内部にマイクロプロセッサあるいは他のデジタル回路またはアナログ回路を含めることができる。

【0052】当業者には、前記の説明に提示した教示および関連する図面の利益を有する本発明の多数の修正および他の実施例が構想されよう。したがって、本発明が、開示した特定の例に限るものではなく、修正および実施例が、添付の特許請求の範囲内に含まれるものであることを理解されたい。

【図面の簡単な説明】

【図1】本発明による拡散スペクトル・クロック生成回路を含むパーソナル・コンピュータの概略ブロック図である。

【図2】本発明による拡散スペクトル・クロック生成回路によって生成されるクロック基本周波数の調波のピーク・スペクトル振幅の低減を示すグラフである。

【図3】本発明による、拡散スペクトル変調クロック信号を生成する所望の変調プロファイルの実施例を示すグラフである。

【図4】本発明による、拡散スペクトル変調クロック出力信号を生成するいくつかの変調プロファイル範囲を示すグラフである。

【図5】本発明による、拡散スペクトル変調クロック出力信号を生成する所望の変調プロファイルの他の実施例を示すグラフである。

【図6】本発明による、厳密に制御された拡散スペクトル変調クロック出力信号を生成する回路実施例を示す概略ブロック図である。

【図7】本発明による、厳密に制御された拡散スペクト

13

ル変調クロック出力信号を生成する他の回路実施例を示す概略ブロック図である。

【図8】1つのカウンタをなくした図7の回路の変形例を示す図である。

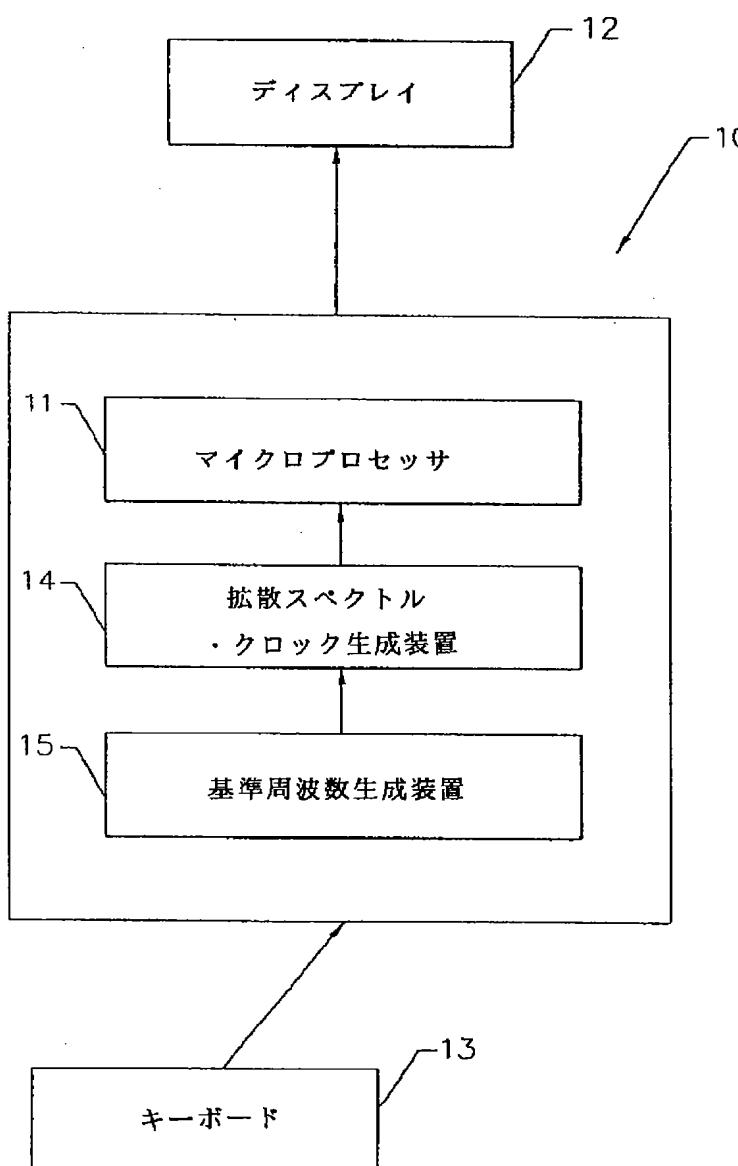
【符号の説明】

- 10 パーソナル・コンピュータ
- 11 マイクロプロセッサ
- 12 ディスプレイ
- 13 キーボード

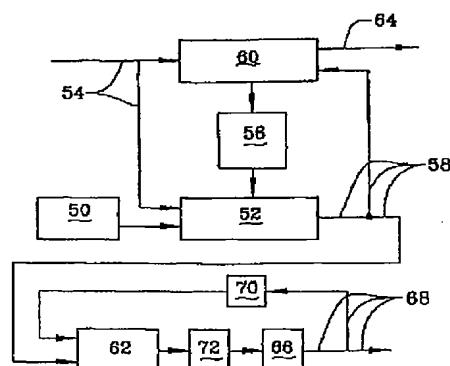
14

- 14 拡散スペクトル・クロック生成装置
- 15 基準周波数生成装置
- 30 位相検出器
- 32 フィルタ
- 38 デジタル・アナログ変換器
- 40 アップ/ダウン・カウンタ
- 42 プログラム可能なカウンタ
- 46 パッファ

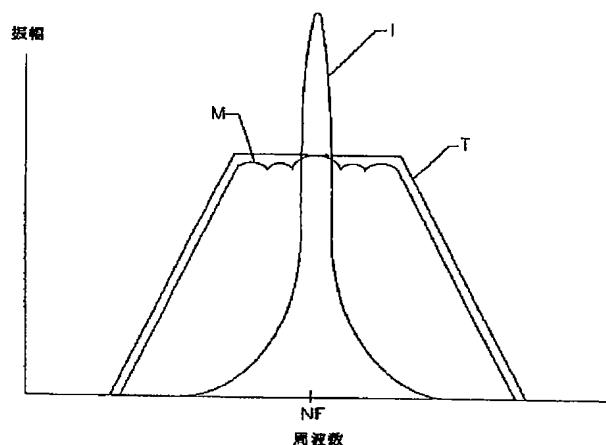
【図1】



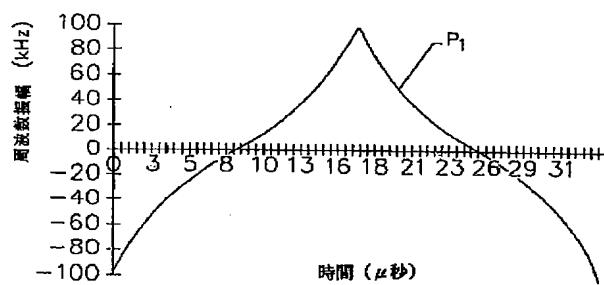
【図7】



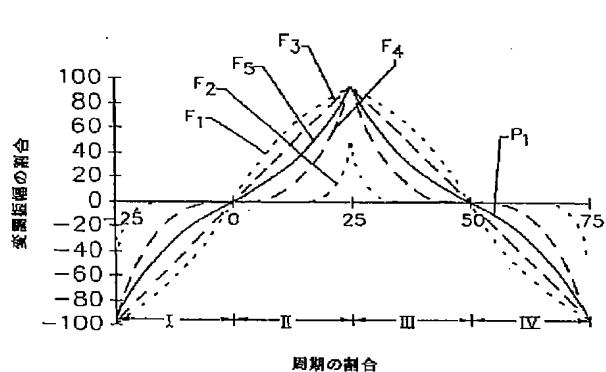
【図2】



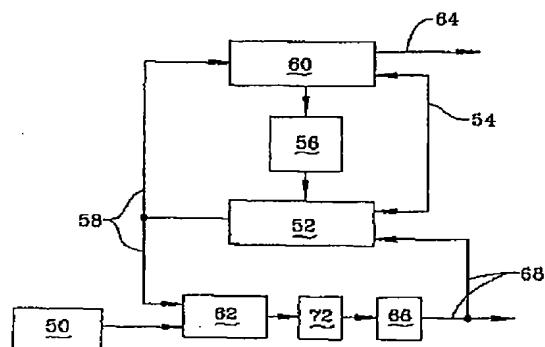
【図3】



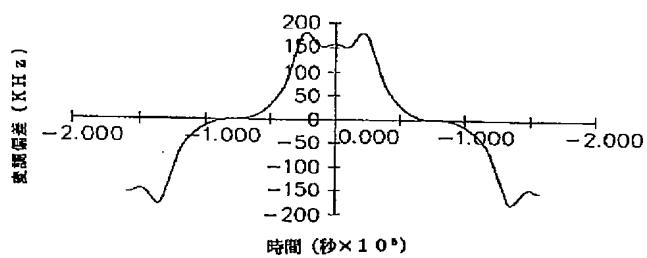
【図4】



【図8】



【図5】



【図6】

